

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-047833

(43)Date of publication of application : 17.03.1984

(51)Int.Cl.

H03K 3/84
// H04J 13/00

(21)Application number : 57-156719

(71)Applicant : CLARION CO LTD

(22)Date of filing : 10.09.1982

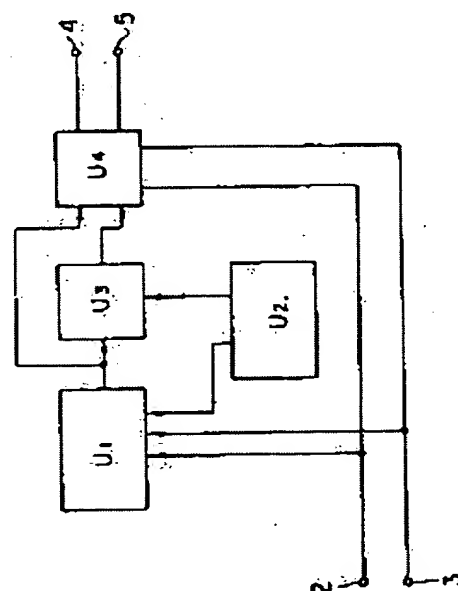
(72)Inventor : HAMATSU MASAHIRO

(54) DEVICE FOR GENERATING M SERIES

(57)Abstract:

PURPOSE: To generate efficiently a delay series having an optional delay characteristic with good operability, by setting a prescribed delay time by a microprocessor of a circuit to generate a delay series.

CONSTITUTION: The titled generator consists mainly of a reference series generating circuit U1 generating a reference series $m(k)$, an arithmetic circuit U2 performing a set operation such as a required delay time (d) and operating an n- dimensional vector Q corresponding to the delay time (d), an inner product arithmetic circuit U3 operating inner product between a status vector $X(k)$ of the reference series $m(k)$ and the output vector Q of the operating circuit U2 and outputting a delay series signal $m(k-d)$, and a synchronizing circuit U4 extracting both reference series $m(k)$ and the delay series $m(k-d)$ in synchronizing with a CLOCK.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—47833

⑬ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 昭和59年(1984)3月17日

H 03 K 3/84

6942—5 J

// H 04 J 13/00

6914—5 K

発明の数 1

審査請求 未請求

(全 7 頁)

⑭ M系列発生装置

号クラリオン株式会社内

⑮ 特 願 昭57—156719

⑯ 出 願 人 クラリオン株式会社

⑰ 出 願 昭57(1982)9月10日

東京都文京区白山5丁目35番2

⑱ 発 明 者 浜津昌宏

号

⑲ 代 理 人 弁理士 芦田直衛

東京都文京区白山5丁目35番2

明 細 書

1 発明の名称

M系列発生装置

2 特許請求の範囲

従統接続した複数個のシフトレジスタ、および当該各シフトレジスタの出力を初段のシフトレジスタに帰還する帰還系回路を備えて基準系列 $(m(k) = P^T \cdot X(k), X(k))$; シフトレジスタの状態ベクトル, P ; n 次元定数ベクトル, T ; 転位)を出力する基準系列発生回路と、

入力手段およびマイクロプロセッサを備えて所要の遅延時間 (d) を設定し、該遅延時間 (d) に対応した n 次元ベクトル (Q) を演算する演算回路と、

乗算用および加算用の各ゲート回路を複数個備えて状態ベクトル $(X(k))$ および n 次元ベクトル (Q) の内積演算をして遅延系列信号 $(m(k-d))$ を出力する内積回路とを具備してなることを特徴とするM系列発生装置。

3 発明の詳細な説明

この発明は多重通信システムに使用する擬似雑音符号(Pseudo Noise符号、以下単にPN符号という)の中で、特にM系列(Maximum length sequence、最大長系列)を発生させるM系列発生装置に関するもので、部品点数を増やすことなく効率的に任意の遅延特性を有するM系列を発生させることのできる装置に係る。

近年PN符号を用いた多重通信システムの研究が盛に行なわれてきている。このようなPN符号の系列としては現在4種類程度知られているが、これらの系列のうちM系列はシフトレジスタを用いて容易に生成できるので実用上最も重視されている。ところで多重通信システムで用いるM系列を選定するためには、予め複数個のM系列間の相関特性を試験し、特性の良好なものを選ぶ必要がある。このためにはまず基準となるM系列(以下基準系列という)に対して任意の遅延特性を有する

M 系列 (以下遅延系列という) を生成することが必要とされる。

そしてこのような遅延系列を発生させる従来の装置としては、複数個のシフトレジスタを何段かカスケードに接続して所望の遅延時間に相当するタップから遅延系列を取り出すようにしたものである。

しかしながらこのような従来の装置にあっては、遅延時間が長くなるにつれて必要とするシフトレジスタの段がかなり増大してしまうため装置構成上実用的とは言えないという問題点があった。また遅延時間を変更するためには遅延系列出力端子をその都度入れ換えなければならず操作性が悪いという問題点があった。

この発明はこのような従来の問題点を解決することを目的としている。

以下この発明を図面に基づいて説明する。第 1 図～第 4 図はこの発明の実施例を示す図である。

オア回路 $EOR_1 \sim EOR_{n-1}$ およびアンドゲート $AND_1 \sim AND_n$ により構成される。 $h_1 \sim h_n$ はアンドゲート $AND_1 \sim AND_n$ の開閉を制御するための入力端子で演算回路 U_2 に接続される。 $T_1 \sim T_n$ はこの基準系列発生回路 U_1 における各出力端子で、基準系列出力はこれらの出力端子 $T_1 \sim T_n$ のいずれからでも取り出すことができる。

また演算回路 U_2 には第 4 図に示すように入力手段たるキーボード K 、マイクロプロセッサ U_{2a} およびインターフェース回路 U_{2b} が備えられている。キーボード K は所望の基準系列を発生させるために必要とするシフトレジスタの段数 n の設定および帰還系回路の制御端子 $h_1 \sim h_n$ のレベルの設定を行ない、これらの設定信号を基準系列発生回路 U_1 に向けて送出する。またキーボード K は所望の遅延系列を発生させるための遅延時間 d の設定を行ない、マイクロプロセッサ U_{2a} はこの設定された遅延時間 d に基づいて後述のベクトル Q を演算

まず全体構成を説明すると、第 1 図に示すように基準系列 $m(k)$ を発生する基準系列発生回路 U_1 、所望の遅延時間 (d) 等の設定操作を行ないこの遅延時間値 (d) に対応した後述の n 次元ベクトル Q を演算する演算回路 U_2 、基準系列 $m(k)$ における状態ベクトル $X(k)$ ならびに演算回路 U_2 の出力ベクトル Q の内積演算をして遅延系列信号 $m(k-d)$ を出力する内積回路 U_3 、および基準系列 $m(k)$ ならびに遅延系列 $m(k-d)$ の両信号を $CLOCK$ に同期させてとり出すための同期回路 U_4 を主体として構成されている。同図中(2)は $RESET$ 信号入力端子、(3)は $CLOCK$ 信号入力端子、(4)は基準系列信号出力端子、(5)は遅延系列信号出力端子である。

そして基準系列発生回路 U_1 には、第 2 図に示すように縦続接続した複数個のシフトレジスタ $SR_1 \sim SR_n$ と、各シフトレジスタ $SR_1 \sim SR_n$ の出力を初段のシフトレジスタ SR_1 に帰還するための帰還系回路が並設されている。帰還系回路は、排他的

する。

次いで内積回路 U_3 には第 3 図に示すように乗算用のアンドゲート $AND'_1 \sim AND'_n$ 、および加算用の排他的オアゲート $EOR'_1 \sim EOR'_n$ がそれぞれ所望の複数個備えられている。各アンドゲート $AND'_1 \sim AND'_n$ における入力端子には、基準系列発生回路 U_1 における対応した出力端子 $T_1 \sim T_n$ 、および演算回路における出力ベクトル Q の各出力端子がそれぞれ遊びかれている。

次に各構成回路の原理作用を説明することにより、その構成をさらに詳細に説明する。

まず第 2 図により基準系列生成回路 U_1 を説明する。同図において制御入力端子 h_j ($j=1, \dots, n$) は、基準系列のパターンをどのように選ぶかによりキーボード K からの設定信号によって“H”レベルまたは“L”レベルに設定されるもので、ここでは

$$h_j \cong \begin{cases} 1 & (\text{"H"レベル時}) \\ 0 & (\text{"L"レベル時}) \end{cases} \quad \dots (1)$$

ただし $h_n = 1$ (常に "1" レベル)

と定数とする。なお n はシフトレジスタ $SR_1 \sim SR_n$ の数を表わしている。基準系列出力は、前記のように出力端子 $T_1 \sim T_n$ のいずれから取り出してもよい (位相が異なるのみで符号パターンは同じ) が、ここでは出力端子 T_1 から取り出すものとする。

さて、各シフトレジスタ $SR_1 \sim SR_n$ は 1 ビットの遅延線と考えることができるので、第 1 のシフトレジスタ SR_1 への入力信号を $x(k)$ (k は離散時間を表わす) とすれば、各シフトレジスタ $SR_1 \sim SR_n$ の出力信号は、

$$SR_1 \text{ の出力信号} = x(k-1)$$

$$SR_2 \text{ の出力信号} = x(k-2)$$

⋮

$$SR_n \text{ の出力信号} = x(k-n)$$

となる。したがって $x(k)$ は

$$\begin{aligned} x(k) &= h_1 x(k-1) + h_2 x(k-2) + \cdots + h_n x(k-n) \\ &= \sum_{j=1}^n h_j x(k-j) \end{aligned} \quad \cdots (2)$$

ベクトルと行列を用いて表現すれば次式を得る。

$$X(k+1) = A X(k) \quad \cdots (3)$$

ただし

$$X(k) = \begin{bmatrix} x_1(k) \\ x_2(k) \\ \vdots \\ x_n(k) \end{bmatrix}, \quad A = \begin{bmatrix} h_1 & h_2 & \cdots & h_{n-1} & 1 \\ & & & & 0 \\ & & & & \vdots \\ & & & & 1_{n-1} \\ & & & & 0 \end{bmatrix} \quad \cdots (4)$$

である (1_{n-1} は $(n-1) \times (n-1)$ の単位行列)。

上記④式は、基準系列に関する状態方程式を表わしており、 $X(k)$ は状態ベクトル、 A は状態遷移行列である。

基準系列を生成する場合、状態ベクトル $X(k)$ が \mathbb{R} ベクトルとなることはないので、④式を次のように書き改める。

$$X(k+1) = A X(k), \quad X(0) = \mathbb{R} \quad \cdots (4')$$

さて、ここでは前記のように基準系列出力を第 2 図の出力端子 T_1 から取り出すこととしているから、次のような n 次元定数ベクトル P

ただし、 $h_n = 1$

と表現することができる。そこでいま次のような変数変換を行なう。

$$x(k-1) \triangleq x_1(k)$$

$$x(k-2) \triangleq x_2(k)$$

⋮

$$x(k-n) \triangleq x_n(k)$$

即ち、

$$x(k-j) \triangleq x_j(k) \quad (j=1, \cdots, n) \quad \cdots (5)$$

とする。このとき前記②式は

$$x(k) = x_1(k+1) = \sum_{j=1}^n h_j x_j(k) \quad \cdots (6)$$

ただし $h_n = 1$

となり、また

$$\left. \begin{aligned} x_2(k+1) &= x_1(k) \\ x_3(k+1) &= x_2(k) \\ &\vdots \\ x_n(k+1) &= x_{n-1}(k) \end{aligned} \right\} \quad \cdots (5)$$

なる関係のあることが分る。そして上記⑤式を

$$P = \begin{bmatrix} p_1 \\ p_2 \\ \vdots \\ p_n \end{bmatrix} = \begin{bmatrix} 1 \\ \mathbb{R} \\ \vdots \\ \mathbb{R} \end{bmatrix} \quad \cdots (7)$$

を用いて、基準系列出力 $m(k) (= x_1(k))$ は

$$\begin{aligned} m(k) &= x_1(k) \\ &= P^T \cdot X(k) \end{aligned} \quad \cdots (8)$$

と書き表わすことができ (T は転置を表わす)、基準系列生成回路 U_1 からはこの⑧式で表わされるような基準系列信号 $m(k)$ を出力する。

次に第 3 図により内積回路 U_2 を説明する。

基準系列 $m(k)$ を d ビットだけ遅延させた遅延系列 $m(k-d)$ は⑧式より

$$\begin{aligned} m(k-d) &= x_1(k-d) \\ &= P^T \cdot X(k-d) \end{aligned} \quad \cdots (9)$$

と書くことができる。ところで⑧'式より $X(k-d)$ は

$$X(k-d) = A^{-d} \cdot X(k) \quad \cdots (10)$$

となるから、前記⑨式は

$$m(k-d) = P^T \cdot A^{-d} \cdot X(k) \\ = \{ (A^{-d})^T \cdot P \}^T \cdot X(k) \quad \dots ②$$

となる、即ち

$$Q \triangleq \begin{bmatrix} q_1 \\ q_2 \\ \vdots \\ q_n \end{bmatrix} = (A^{-d})^T \cdot P \quad \dots ③$$

Q は n 次元ベクトル

とおけば $m(k-d)$ は

$$m(k-d) = Q^T \cdot X(k) \quad \dots ④$$

と表わされ、基準系列 $m(k)$ を d ビットだけ遅延させた遅延系列 $m(k-d)$ を得るには、基準系列の状態ベクトル $X(k)$ と④式で定義される n 次元ベクトル Q の内積をとればよいことがわかる。内積回路 U_3 はこのような内積操作をするもので、④式に示す内積操作のうち、乗算操作を各アンドゲート $AND'_1 \sim AND'_n$ で行ない、加算操作を各排他的オアゲート $EOR'_1 \sim EOR'_n$ で行なわせている。

次いで第 4 図により演算回路 U_2 を説明する。

STEP (I)-1 ; A^{N-d} の計算

(i) A^m の第 2 行～第 n 行には A^{m-1} の第 1 行～第 (n-1) 行がそのままシフト。

(ii) A^m の第 1 行は次の演算に従う。

$$(A^{m-1} \text{ の第 } n \text{ 行}) \oplus \sum_{j=1}^{n-1} h_j \cdot (A^{m-1} \text{ の第 } j \text{ 行})$$

ただし、 $m = 2, 3, \dots, N-d$

STEP (I)-2 ; Q の計算

$$Q = (A^{N-d} \text{ の第 1 行})$$

STEP (I)-1 の A^{N-d} の計算アルゴリズムをフローチャートで第 5 図に示す。

<ベクトル Q の演算方法 (II)>

今、②式の行列 A に対して次のような関係にある行列 B を考える。

$$B = (A^{-1})^T \quad \dots ⑤$$

⑤式の関係を満たすような行列 B は、A が同作形式となっていることから容易に求めることができる。

演算回路 U_2 におけるキーボード K は、基準系列生成回路 U_1 におけるシフトレジスタ $SR_1 \sim SR_n$ のうち必要とする数 n の設定、制御入力端子 h_j のレベルの設定、および出力される遅延系列の遅延時間 d 等の諸設定を行なう。そしてこのような遅延時間 d の設定に伴ってマイクロプロセッサ U_{2a} で前記③式で示されるベクトル Q の演算を行なう。

以下においてベクトル Q を演算するための方法を 2 例示す。

<ベクトル Q の演算方法 (I)>

M 系列の性質より次式が成り立つ。

$$A^{-d} = A^{N-d} \quad \dots ⑥$$

ただし、N は M 系列の符号長で

$$N = 2^n - 1 \quad \dots ⑦$$

である。

よって、③式の Q は⑥式より

$$Q = (A^{N-d})^T \cdot P$$

となり、次のようなアルゴリズムで計算できる。

$$B = \begin{bmatrix} 0 & 0 & \dots & 0 & 1 \\ & & & h_1 & \\ & & & \vdots & \\ & I_{n-1} & & h_{n-1} & \end{bmatrix} \quad \dots ⑧$$

となる。

さて、⑧式より

$$A^{-d} = (B^T)^d \\ = (B^d)^T \quad \dots ⑨$$

が成立するから、③式の Q は

$$Q = B^d \cdot P \quad \dots ⑩$$

となり次のようなアルゴリズムで計算できる。

STEP (II)-1 ; B^d の計算

(i) B^m の第 1 列～第 (n-1) 列には B^{m-1} の第 2 列～第 n 列がそのままシフト、

(ii) B^m の第 n 列は次の演算に従う。

$$(B^{m-1} \text{ の第 1 列}) \oplus \sum_{\ell=2}^n h_{\ell-1} \cdot (B^{m-1} \text{ の第 } \ell \text{ 列})$$

ただし、 $m = 2, 3, \dots, N-d$

STEP (II)-2 ; Q の計算

$$Q = (B^d \text{ の第 1 列})$$

STEP(II)-1の B^d の計算アルゴリズムをフローチャートで第6図に示す。

ベクトル Q の演算時間を短縮するためには、 d の値が大きい時には演算方法(I)が、そして d の値が小さい時には演算方法(II)が有利である。

そこで本実施例においては次のように d の値に応じて両者をソフト的に切りかえて使うようにしている。

$$\left. \begin{array}{l} d > \frac{N}{2} \rightarrow \text{演算方法(I)を使用(⑩式)} \\ d \leq \frac{N}{2} \rightarrow \text{演算方法(II)を使用(⑫式)} \end{array} \right\} \dots \text{⑬}$$

この結果、演算時間を半減できる。

なお第5図および第6図のフローチャート中変数ベクトル B は単に演算用に導入した n 次元ベクトルである。

而して基準系列生成回路 U_1 からの基準系列 $m(k)$ (前記⑨式)、および内積回路 U_3 からのこの基準系列 $m(k)$ に対して所要時間遅延した遅延系列 $m(k-d)$ が、同期回路 U_4 を経て、それぞれの出力端子(4)(5)か

らとり出される。

以上詳述したようにこの発明によれば、遅延系列を発生するための回路としては、入力手段およびマイクロプロセッサを備えた演算回路と、乗算用および加算用の各ゲート回路を複数個備えた内積回路とを具備し、前記入力手段で所要の遅延時間 d を設定してこれに対応したベクトル Q をマイクロプロセッサで演算し、内積回路でこのベクトル Q と基準系列の状態ベクトル $X(k)$ により所要の内積演算をさせることにより遅延系列信号 $m(k-d)$ を出力させるようにしたから、任意の遅延特性を有する遅延系列を操作性よく効率的に発生させることができるという効果が得られる。また複数例のシフトレジスタを何段かカスケードに接続して構成した従来のもものと比較して部品点数の削減を図ることができるという効果が得られる。

4 図面の簡単な説明

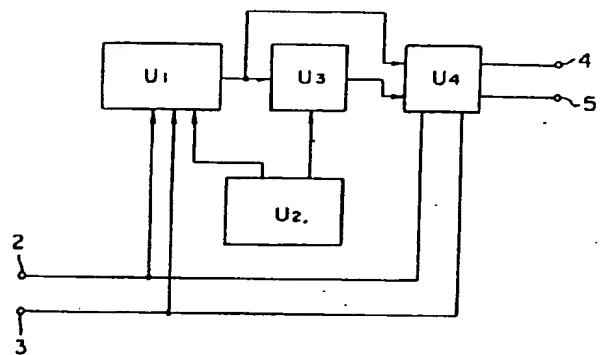
第1図はこの発明に係る M 系列発生装置の実施

例を示すブロック図、第2図～第4図は同実施例における各構成回路をさらに詳細に示すブロック図で、第2図は基準系列発生回路、第3図は内積回路、第4図は演算回路、第5図は演算回路の作用を説明するための A^{n-d} の計算アルゴリズムを示すフローチャート、第6図は同じく B^d の計算アルゴリズムを示すフローチャートである。

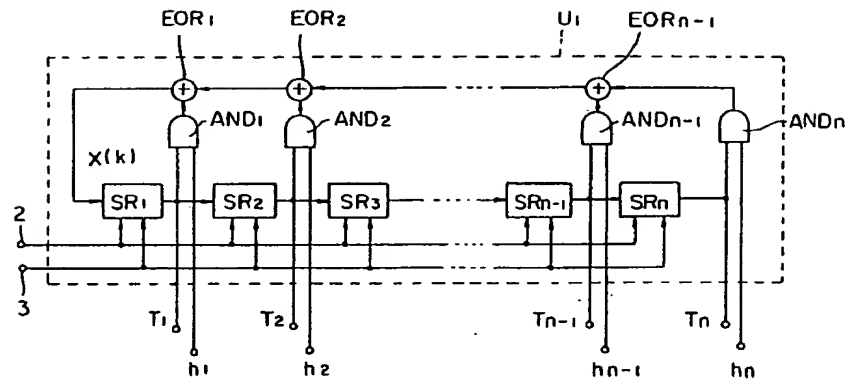
- 4、5：出力端子 U_1 ：基準系列発生回路
 U_2 ：演算回路 U_3 ：内積回路
 U_4 ：同期回路 U_{2a} ：マイクロプロセッサ
 U_{2b} ：インターフェイス回路
 $AND_1 \sim AND_n, AND'_1 \sim AND'_n$ ：アンドゲート
 $EOR_1 \sim EOR_{n-1}, EOR'_2 \sim EOR'_n$ ：排他的オアゲート
 K ：キーボード $SR_1 \sim SR_n$ ：シフトレジスタ
 $T_1 \sim T_n$ ：基準系列発生回路における出力端子
 $b_1 \sim b_n$ ：制御入力端子

クラリオン株式会社
 代理人 芦田直衛

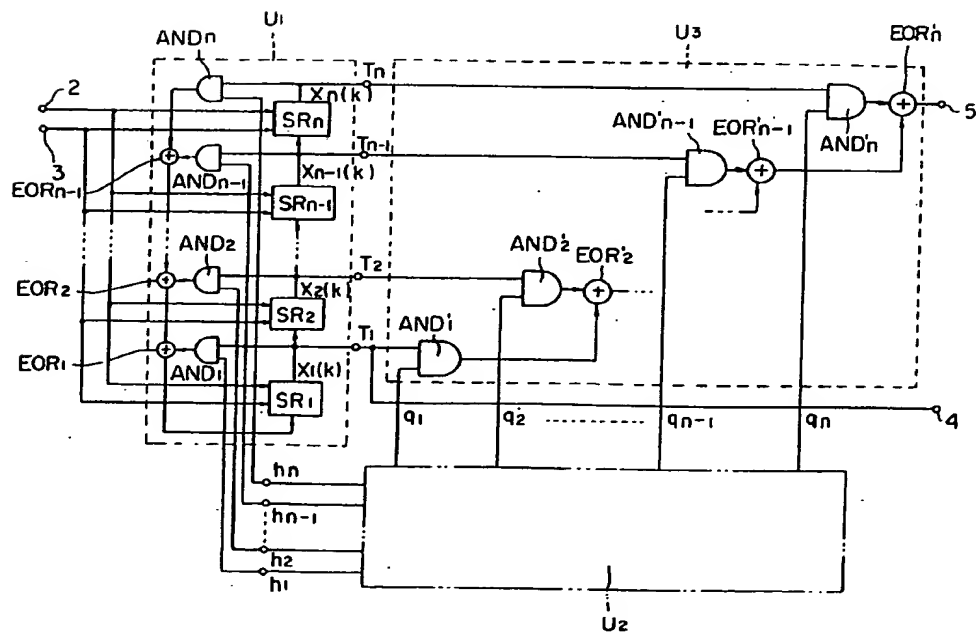
第1図

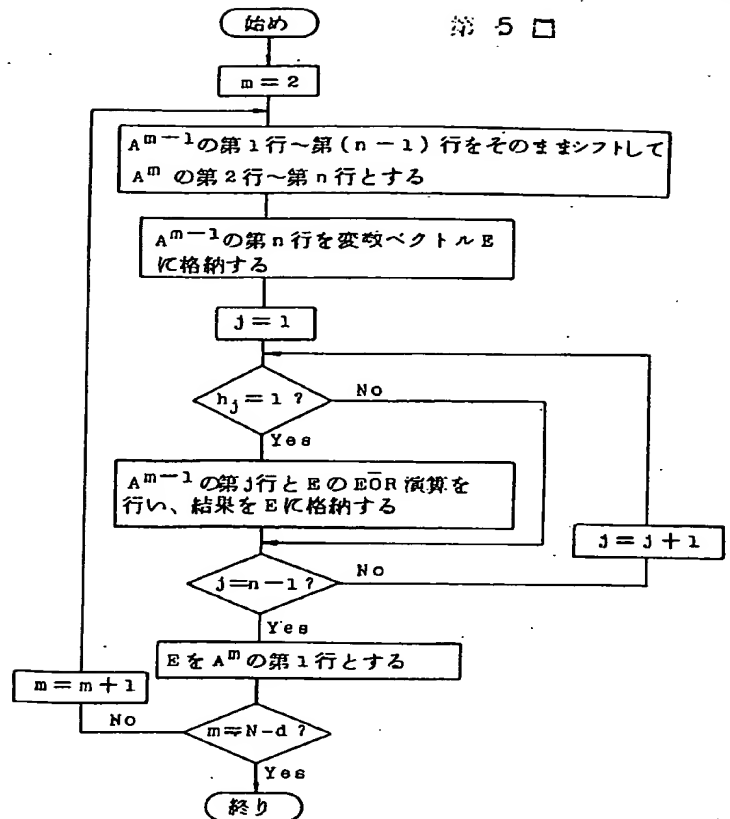
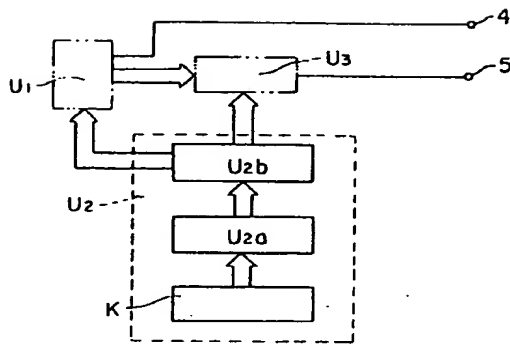


第 2 図



第 3 図





第6図

